CREST「情報システムの超低消費電力化を目指した技術革新と統合化技術」
研究領域　研究成果公開シンポジウム

恒久保存メモリー『デジタルロゼッタストーン』とそれを表現する『システムディスプレイCPU』

大阪大学産業科学研究所
今井繁規、松本健俊、小林　光

TFT消費電力化の戦略

$P_{dyn} \sim NfCV^2$

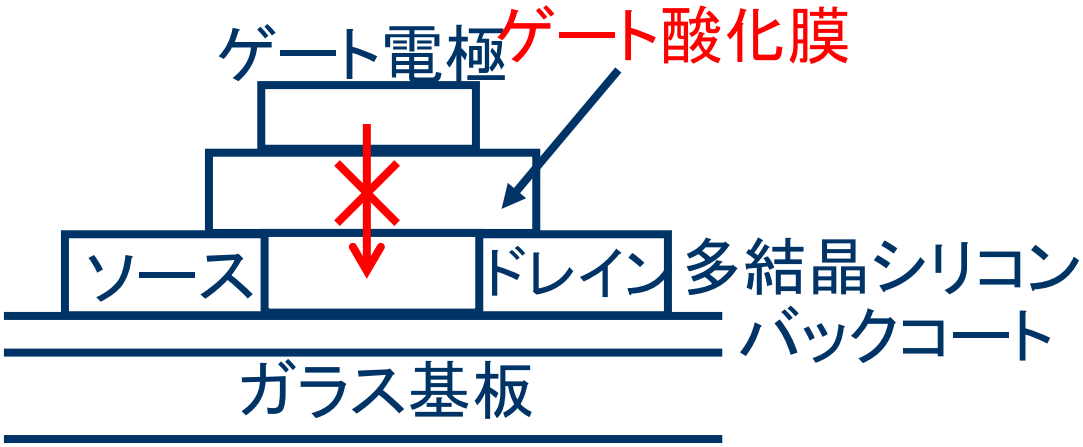
P_{dyn}: 動的消費電力

N: TFTの数

f: 動作周波数

C: 電気容量

V: 駆動電圧



TFTの低消費電力化

→ 駆動電圧の低減

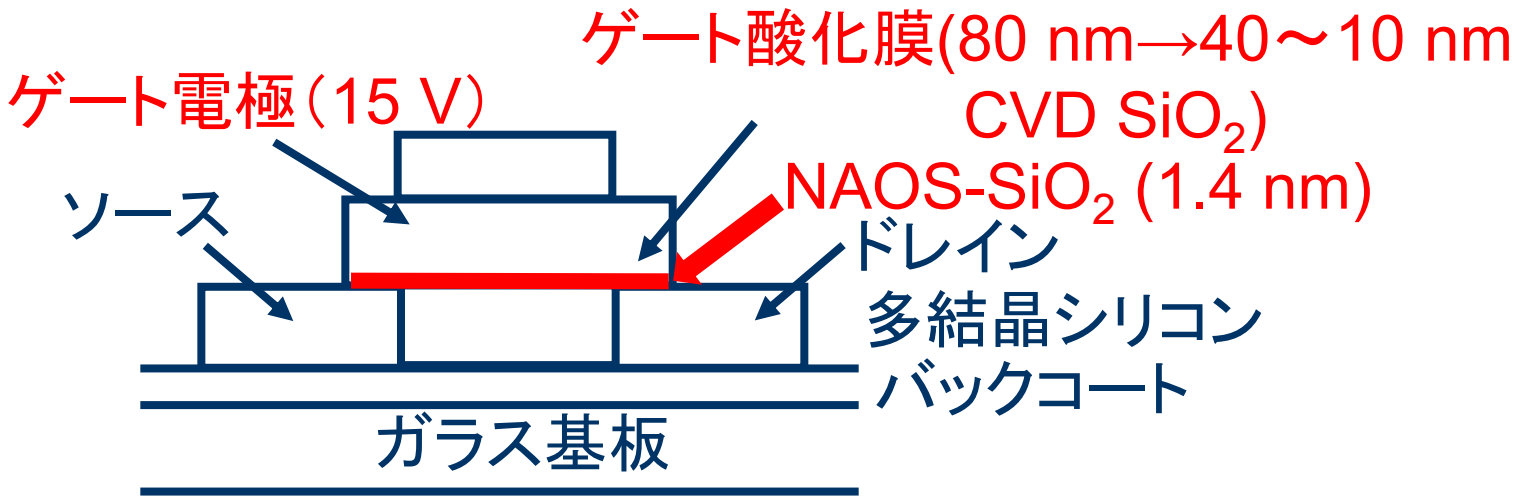
→**低温形成した**

リーク電流密度の低い

極薄ゲート酸化膜が必要

NAOS法によるSiO_2/Si界面特性の改善

CVD SiO_2	**NAOS®=Nitric Acid Oxidation of Si**
形成温度: 400-500˚C	RT～120˚C（10 min浸漬）
リーク電流密度: 高	低（熱酸化膜より低リーク電流）
形成法: 堆積法	直接酸化法
原子密度: 低	高
界面準位密度: 高	低
膜厚: 不均一	均一



極限ゲート構造によるシステムディスプレイの超低消費電力化

CREST終了時：消費電力を1/250以下に

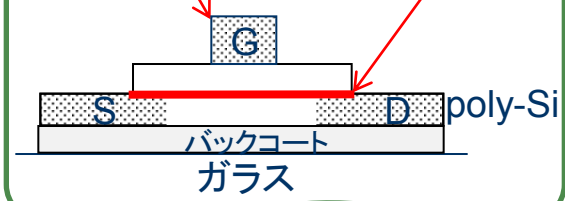
阪大　小林G

低温形成した硝酸酸化膜の利用による ゲート酸化膜の薄膜化

動的消費電力
P~NfCV^2

V=15 V
→1 V

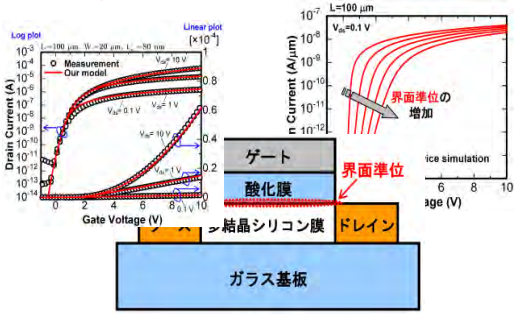
80 nm-CVD
→40～10 nm-CVD
＋硝酸酸化薄膜



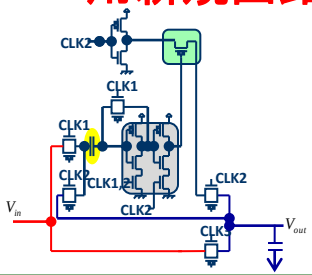
1/225以下

阪大　谷口G

TFT用デバイシミュレータ



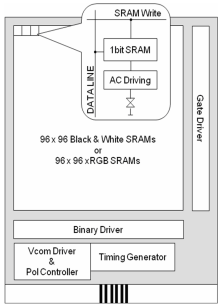
TFT用新規回路



シャープ　今井G

マルチドライバ

メモリ搭載反射型液晶

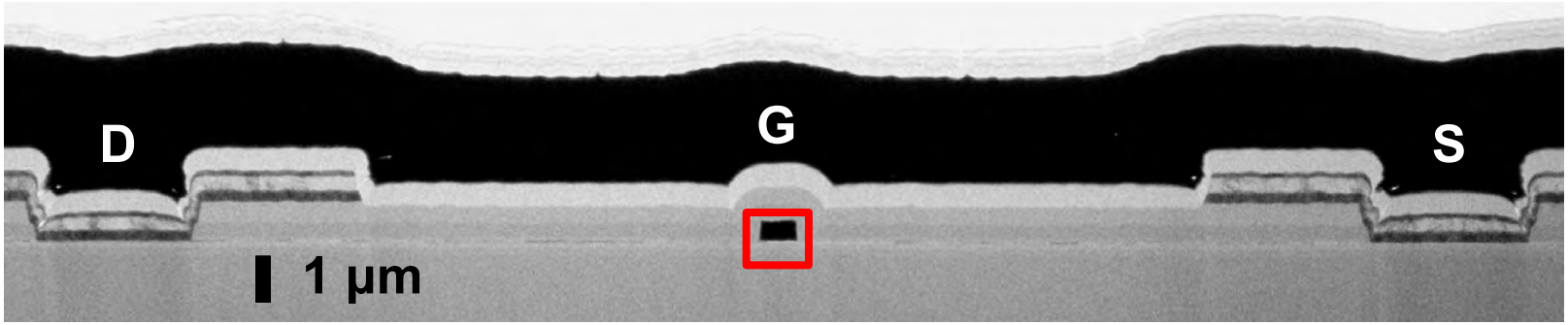


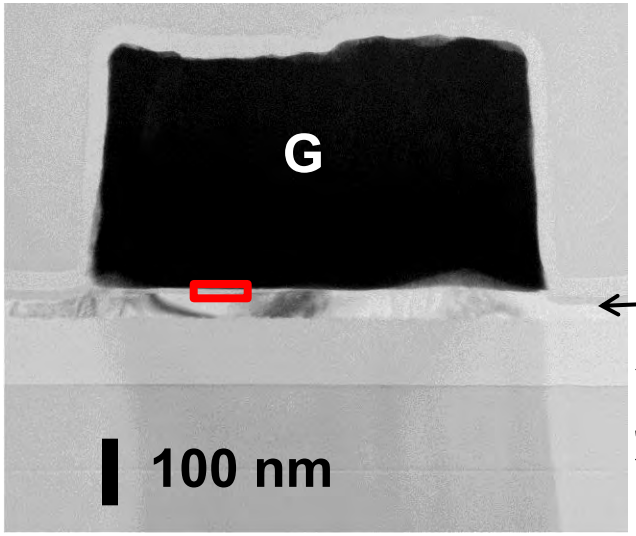
低リフレッシュレート

1/10以下

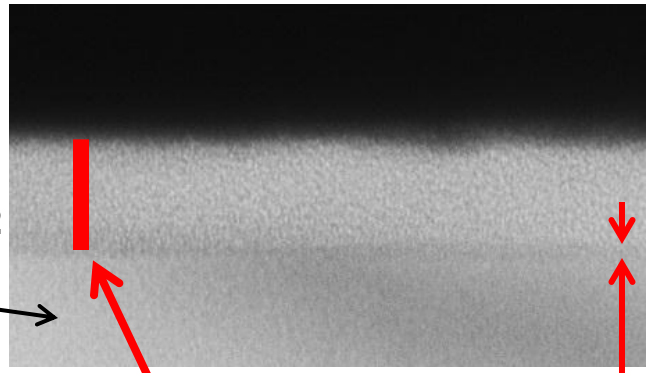
低消費電力化率1/2000～100000以下を達成

TFT の断面TEM像





poly-Si
バックコート
ガラス基板

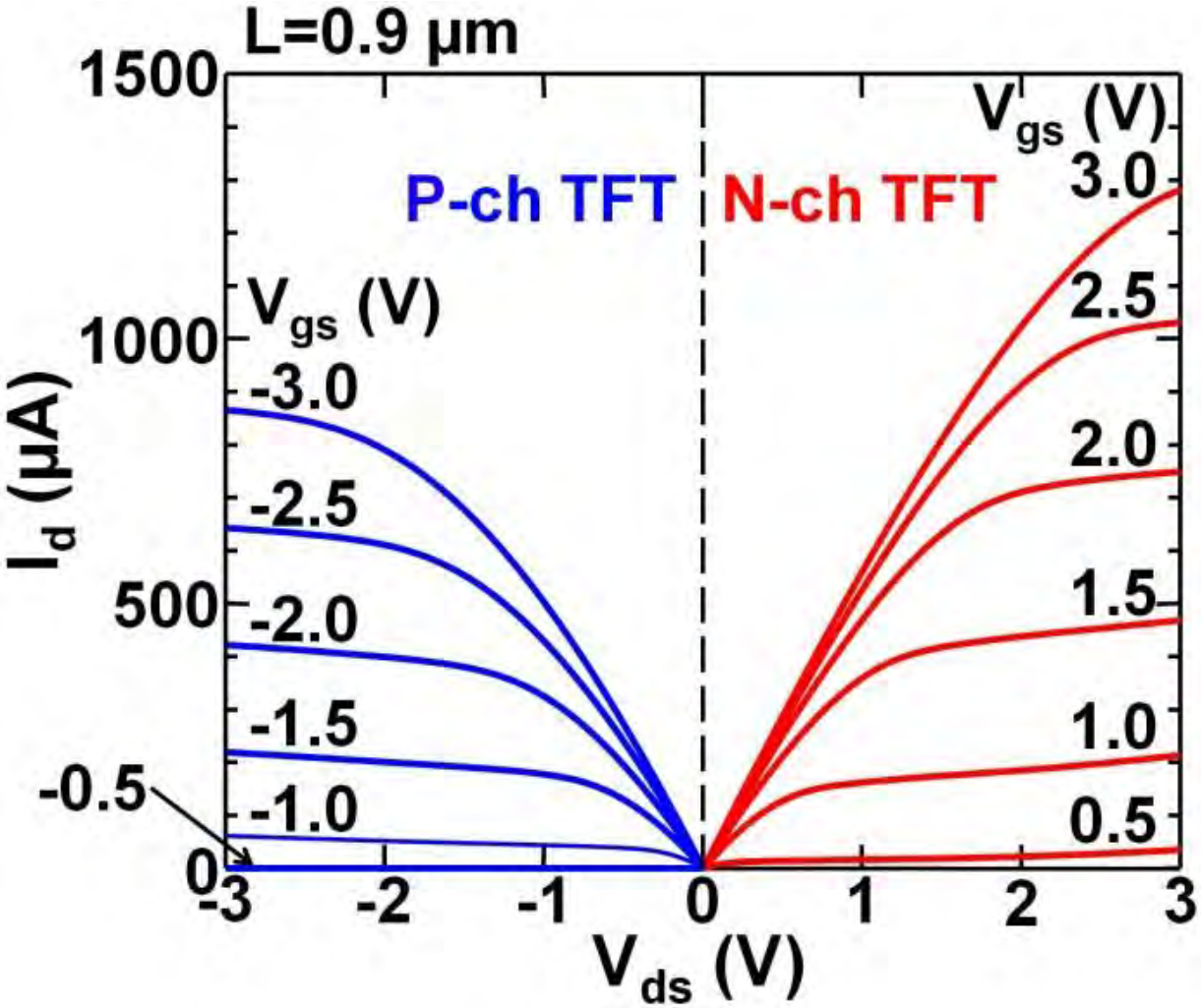


SiO_2 10 nm

NAOS-SiO_2
1.4 nm

10 nmの均一な膜厚のSiO_2 ゲート酸化膜が形成

I_d-V_{ds}特性



十分な
I_d @1V

従来のVth：
12~15 V

1/144～1/225の低消費電力化

サブミクロンTFTの創製に成功

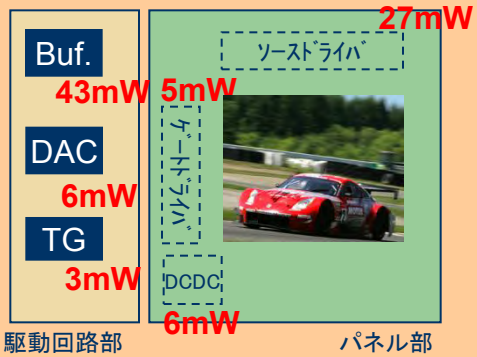
マルチドライバ・低リフレッシュレートによる低消費電力化

マルチドライバ方式×リフレッシュレート低減により**1/9**迄低消費電力化を達成

更なる低消費電力化の手法は？

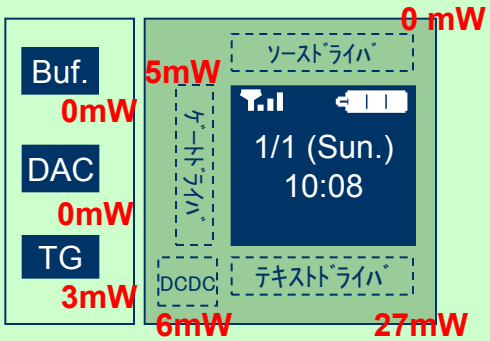
従　来

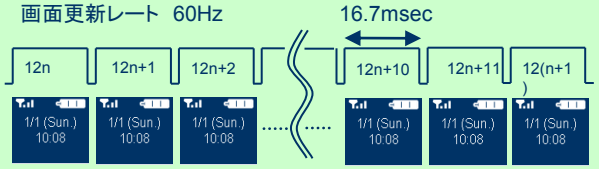
消費電力　90mW
（パネル　38mW　周辺回路　52mW）



低消費電力化手法①　マルチドライバ機能モード

消費電力　41 mW
（パネル　38mW　周辺回路　3mW）

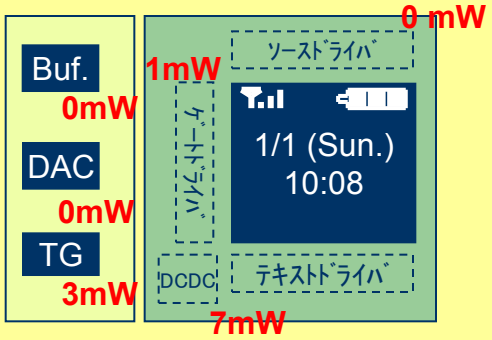


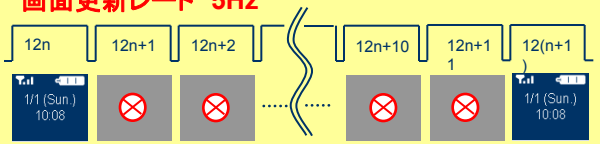


表示コンテンツを図形
専用回路使用（テキストドライバ）

低消費電力化手法②　リフレッシュレート制御モード

消費電力　11mW
（パネル　8mW　周辺回路　3mW）





画面更新の間引き
12フィールド毎に1度更新

メモリ液晶ディスプレイによる超低消費電力化

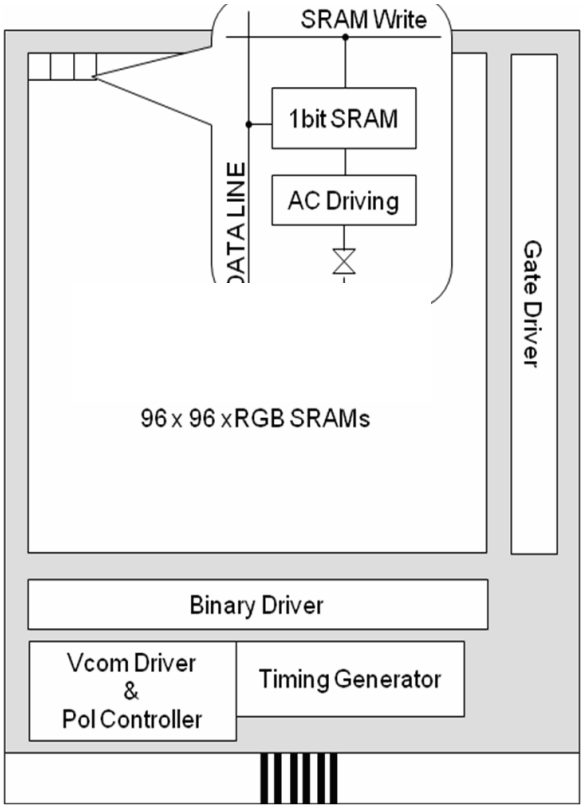
・セルフリフレッシュ（外部周辺回路の停止）
・リフレッシュレートの低周波数化（1Hz）
・透過型から反射型（環境光の利用）

外部メモリから液晶画素に
表示データを常時転送
（書き込み）が必要

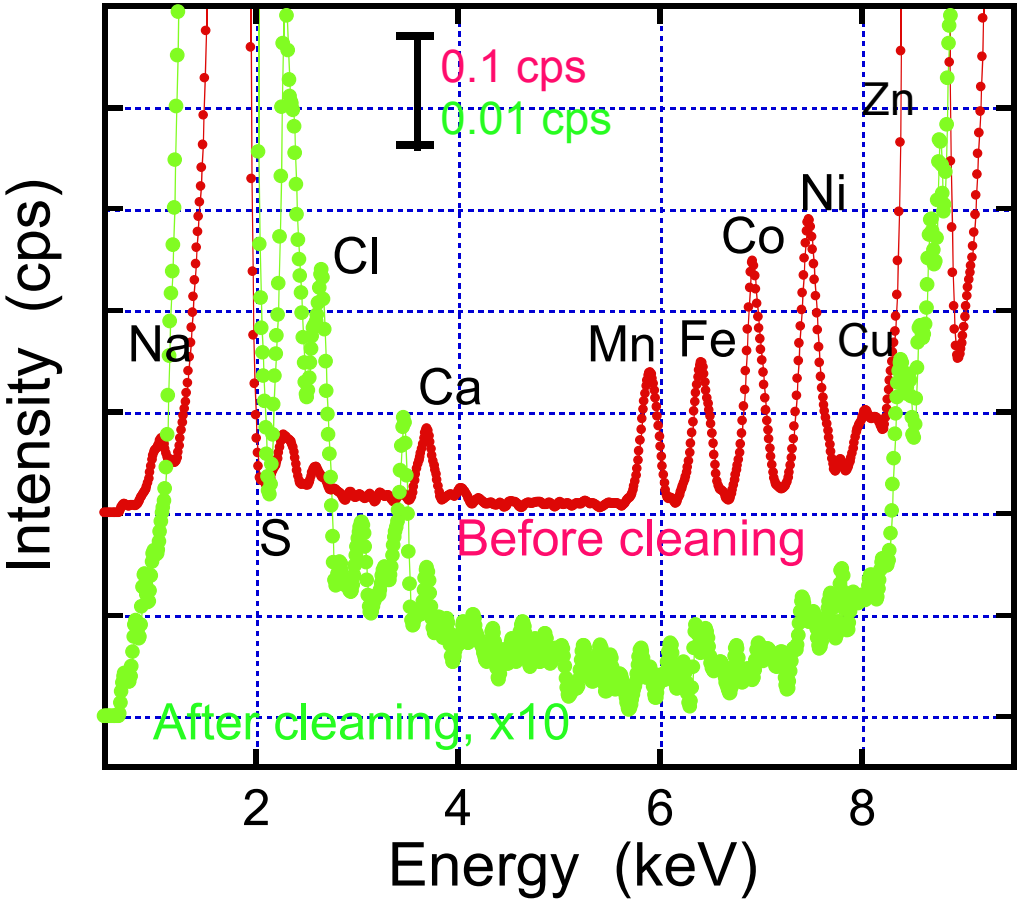
表示用メモリ/周辺回路を
パネル内部に搭載する

低消費電力化率：1/50以上

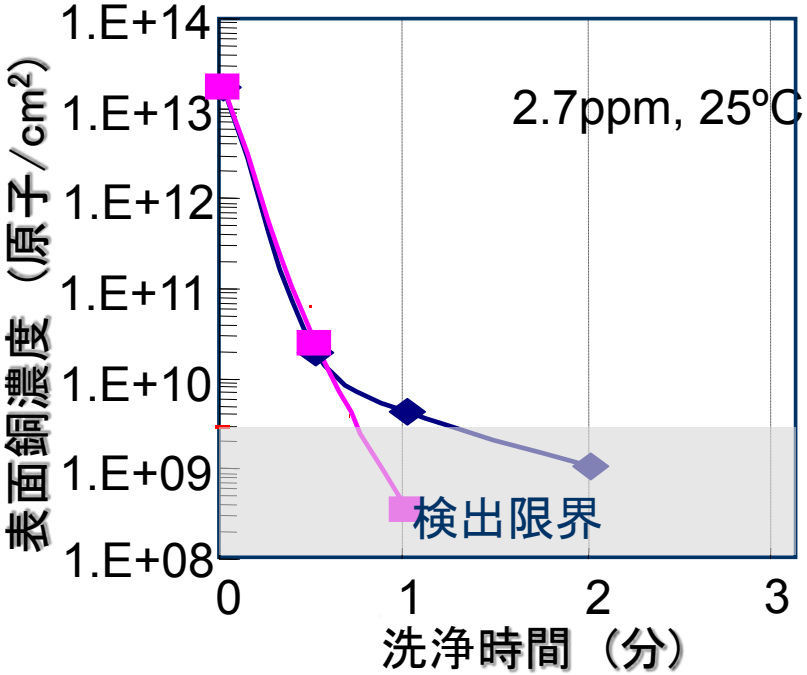
システムブロック図



欠陥消滅型洗浄法（DPEL）



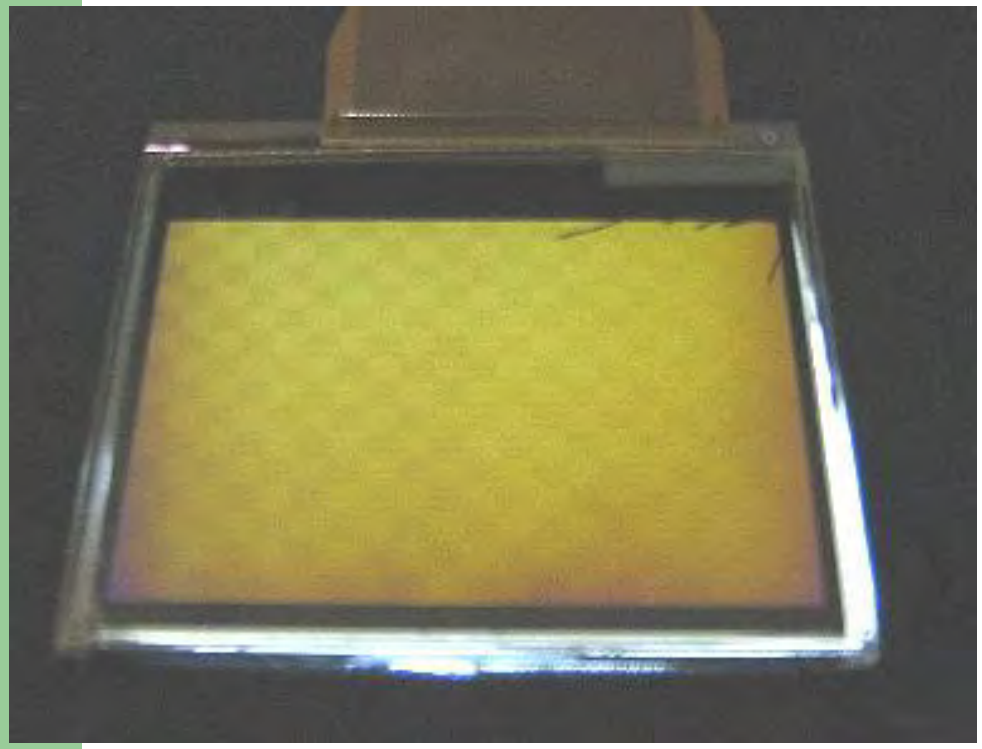
室温でDPEL溶液に浸漬
→金属汚染をほぼ完全に除去



ppmオーダのDPEL溶液に2分間浸漬
→10^{13}原子/cm^{2}の銅汚染を完全に除去

＊DPEL: Defect Passivation
Etch-Less cleaning

超低消費電力液晶ディスプレイ



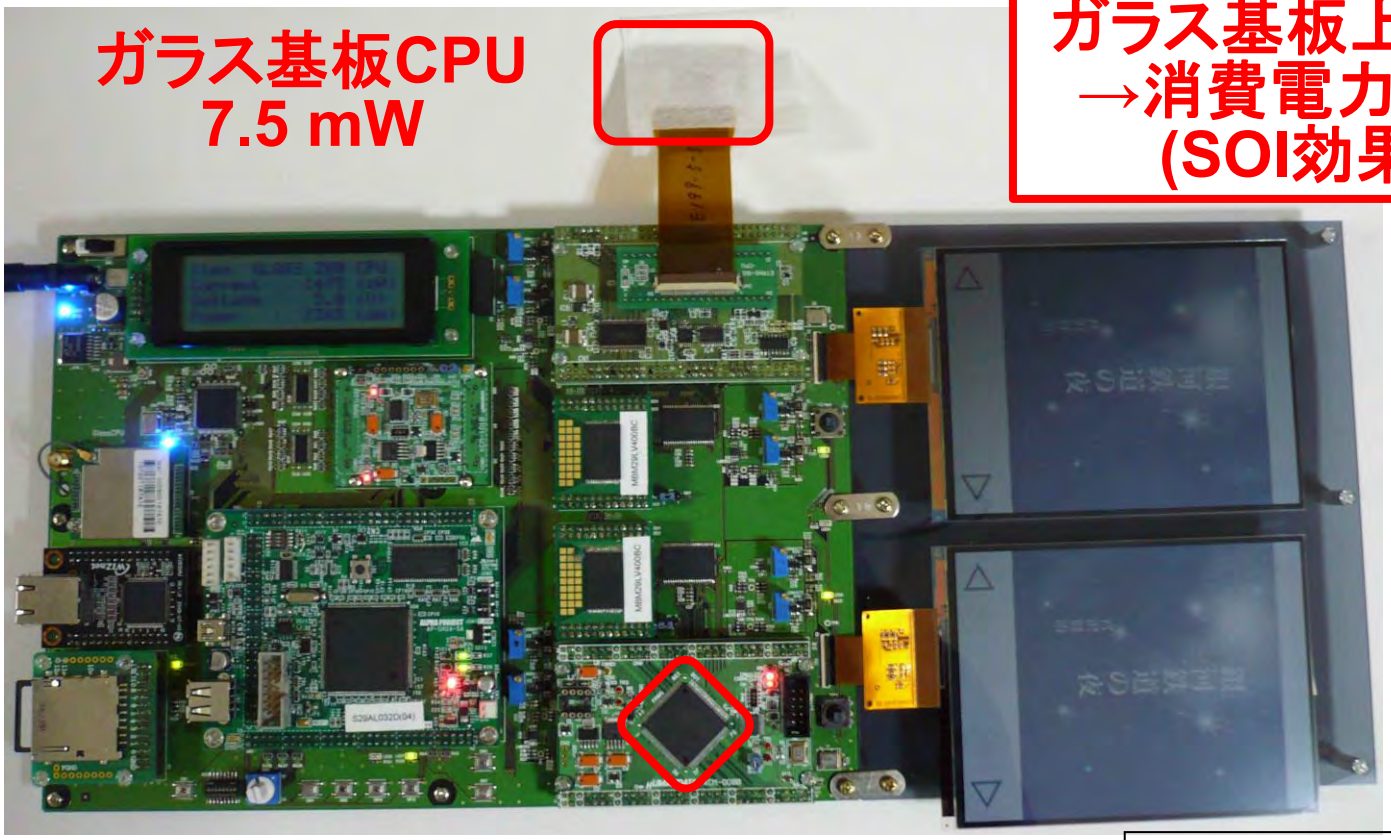
- 画面サイズ：2.0型透過型
- 解像度：QVGA
  (320×RGB×240 dots)
- 画素ピッチ：43×129 (μm)
- ゲート絶縁膜の膜厚：40 nm
- TFTゲート絶縁膜構造：
  1.4 nm硝酸酸化膜
  +CVD酸化膜の積層構造
- 駆動電圧：**3 V**

3V駆動液晶ディスプレイの創製に成功

☞*市川Gで実演*

超低消費電力型電子ブック

- ガラス基板8 bit CPU
- 反射型モノクロメモリ液晶ディスプレイ

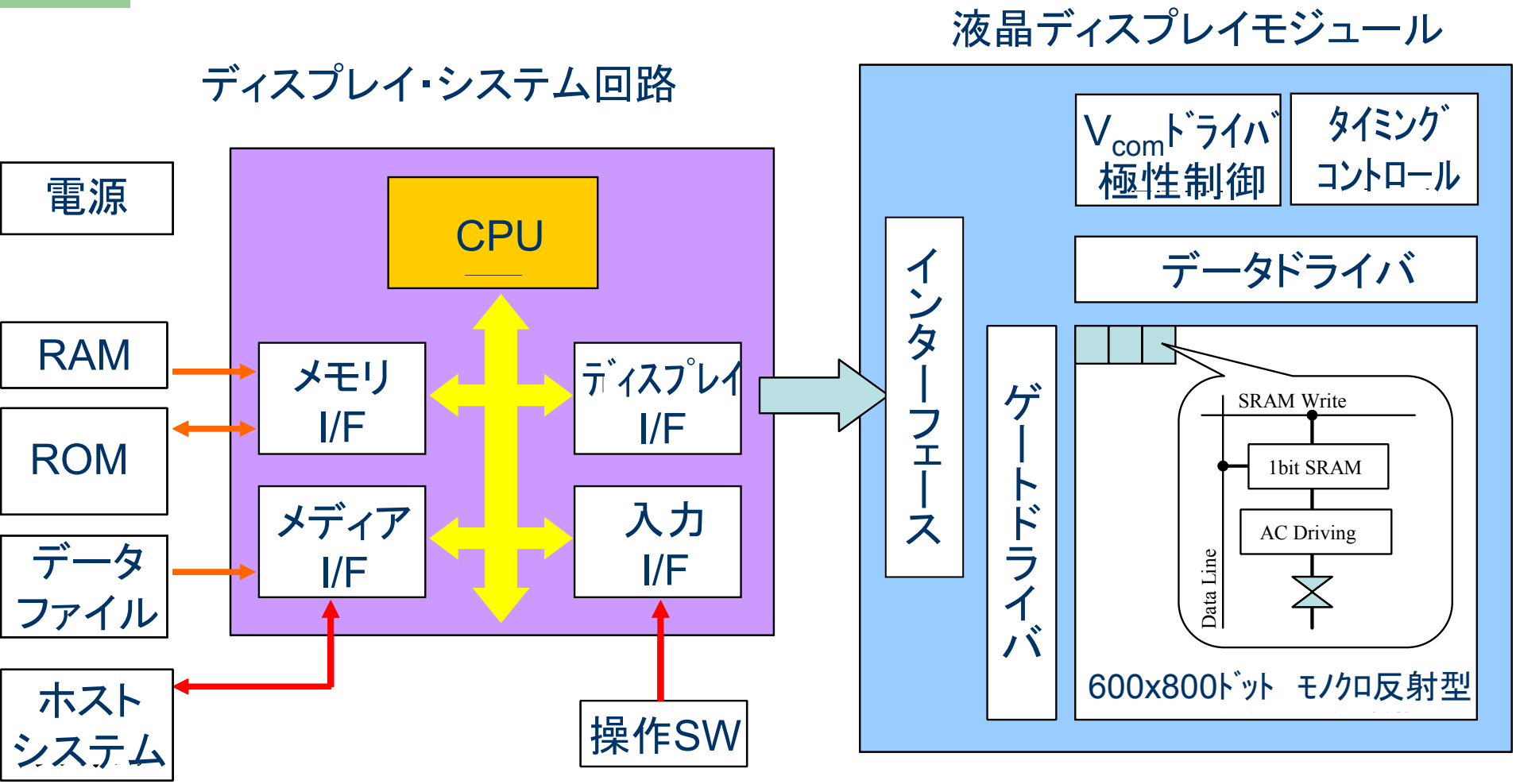


ガラス基板上CPU
→消費電力1/20
(SOI効果)

FPGA 150 mW

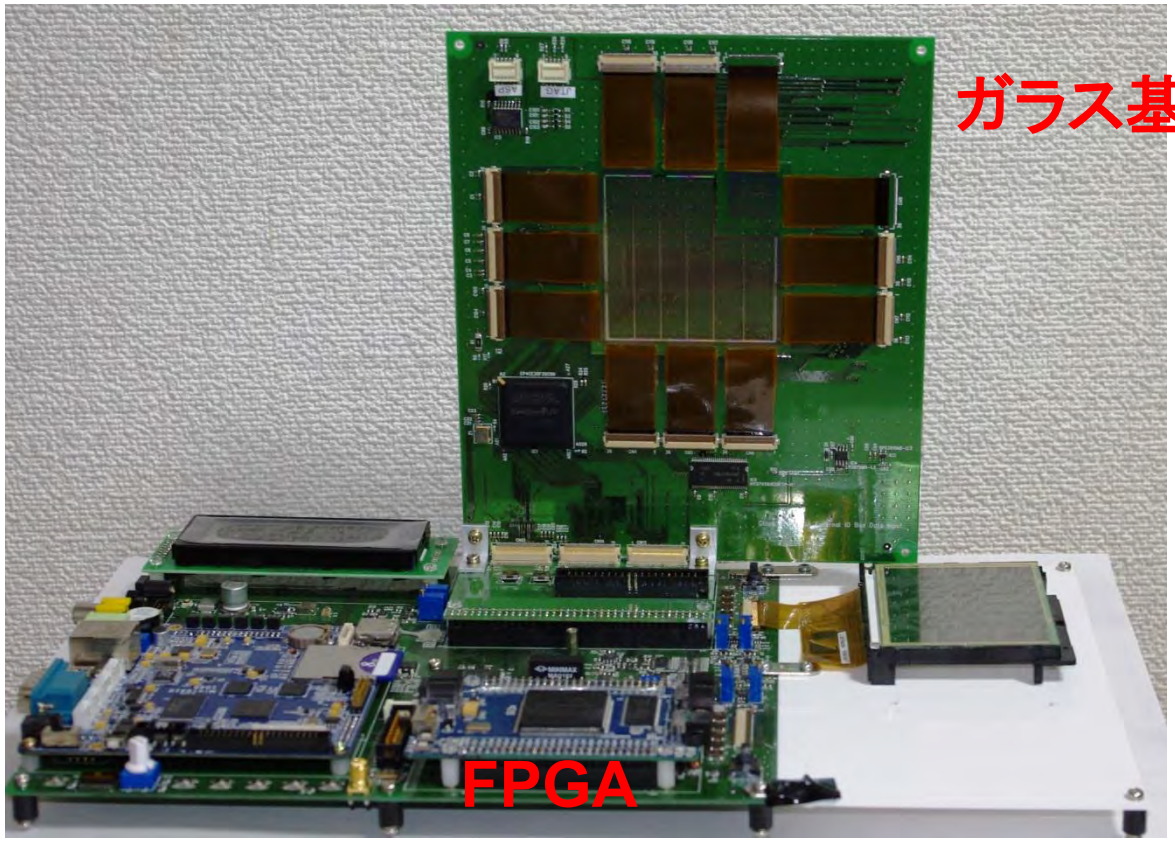
☞市川Gで実演

ガラス基板上CPUで駆動した反射型モノクロメモリ液晶ディスプレイの消費電力評価装置



超低消費電力型カラー電子ブック

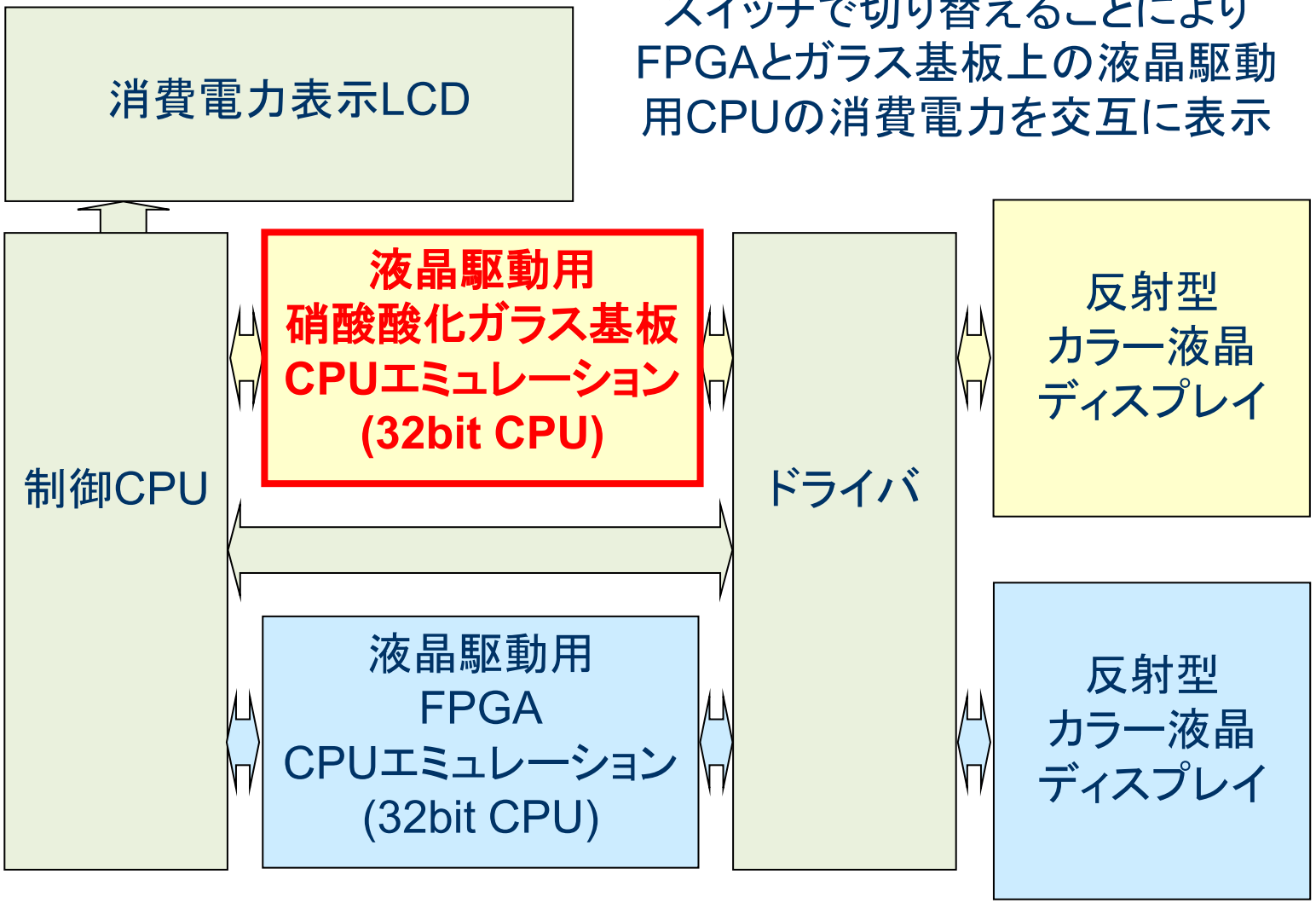
・硝酸酸化ゲート酸化膜　・ガラス基板32 bit CPU
・反射型カラーメモリ液晶ディスプレイ　・2層メタル構造



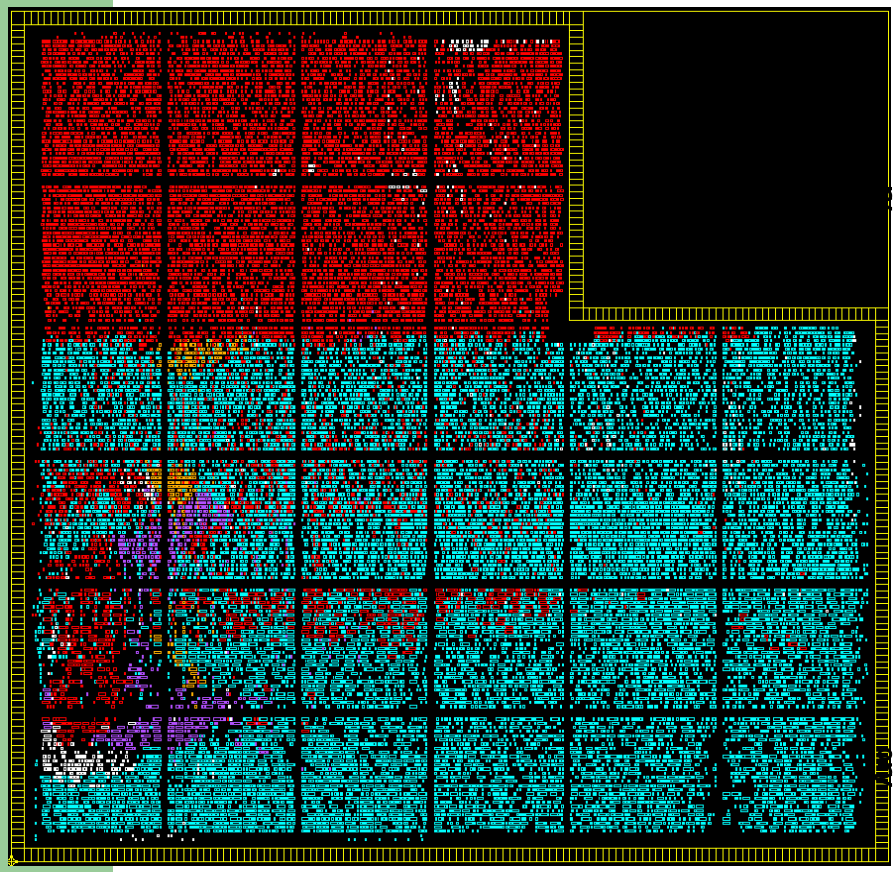
☞小林Gで実演

ガラス基板上CPUで駆動する反射型カラーメモリ液晶ディスプレイの消費電力測定装置

スイッチで切り替えることにより
FPGAとガラス基板上の液晶駆動
用CPUの消費電力を交互に表示

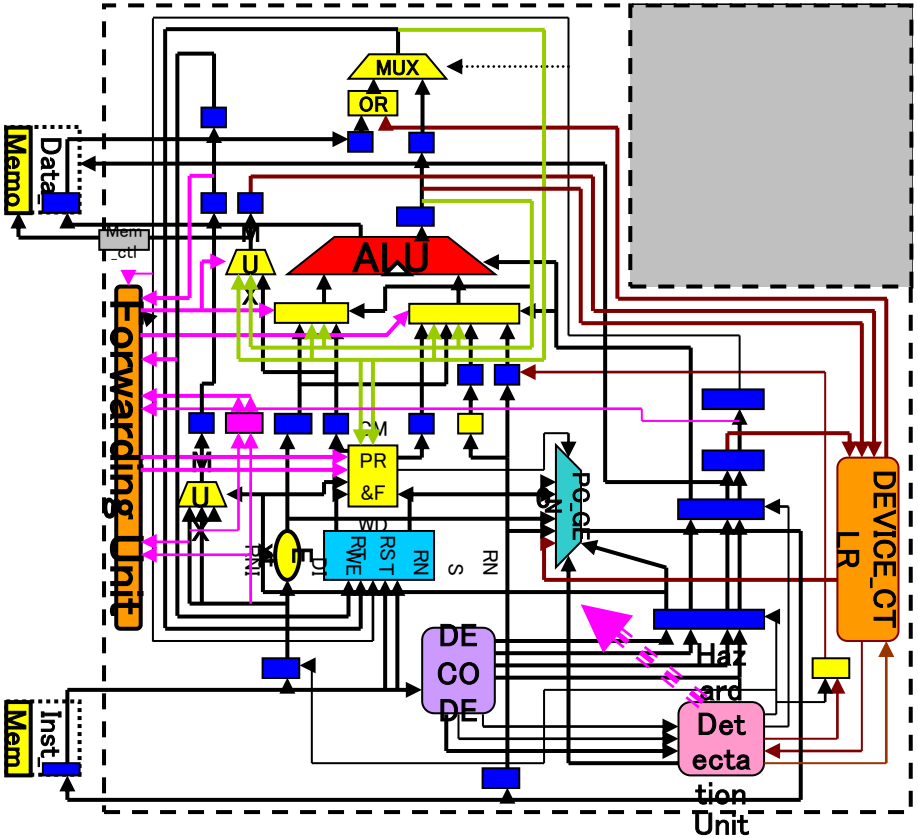


ガラス基板上のCPUのレイアウト



32 bit CPU

75 mm x 75 mm



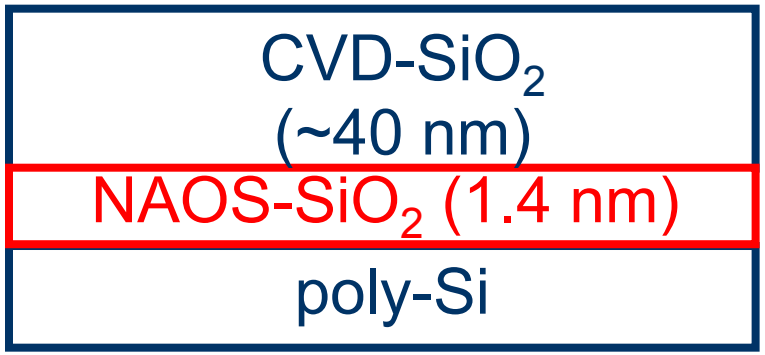
32 bit CPU: ～13万ゲート

8 bit CPU: ～3000ゲート

ガラス基板上の32 bit CPUのプロセスフロー

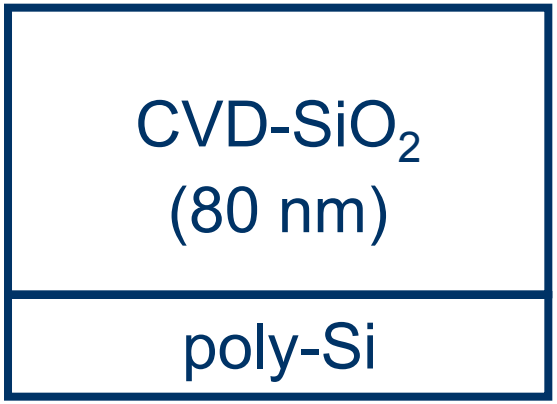
積層型ゲート絶縁膜

- poly-Si
- HFエッチング
- NAOS (68wt% HNO_3, 10 min@120˚C)
- CVD 40 nm
- CPU形成



Ref

- poly-Si
- HFエッチング
- CVD 80 nm
- CPU形成



デジタル電子データの長期保存

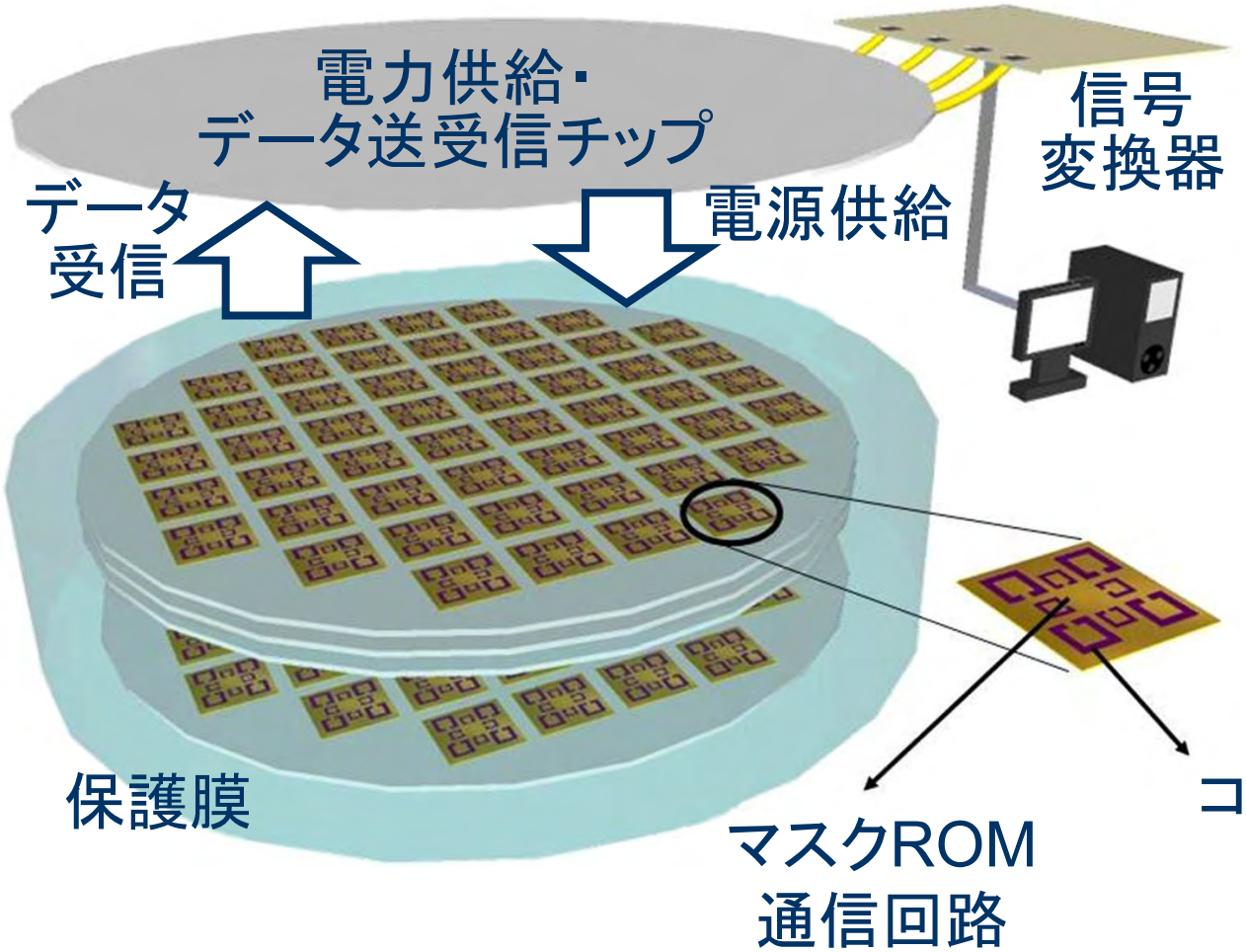
・各国中央図書館の全蔵書
・全戸籍原本や公文書
・ハリウッド映画フィルム
・美術館や博物館の所蔵品および世界遺産
・グーグルデータセンターのサーバー
・音楽資料、郷土資料、震災記録、脚本などの非出版物……

課題
数年に1回行うデータ・マイグレーション（電力、資源の浪費）
デジタルジレンマ（一つのデータ欠損が命取り）

恒久保存メモリの実用化が急務

デジタルロゼッタストーン（DRS）

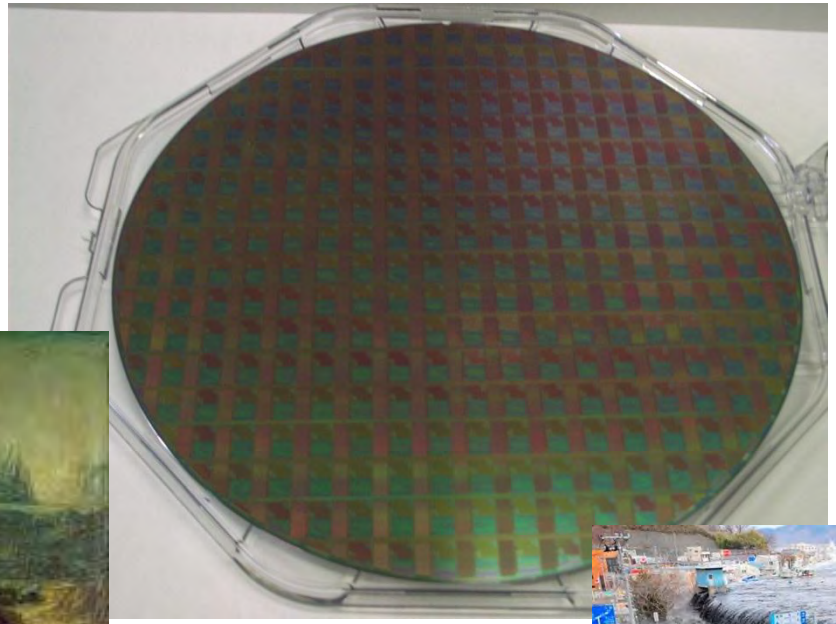
超低消費電力恒久保存メモリ



完全密封
→無線で
オンデマンド
給電
データ受信

マスクROM
→物理的にも
確認可能

8インチウェハスケールメモリ



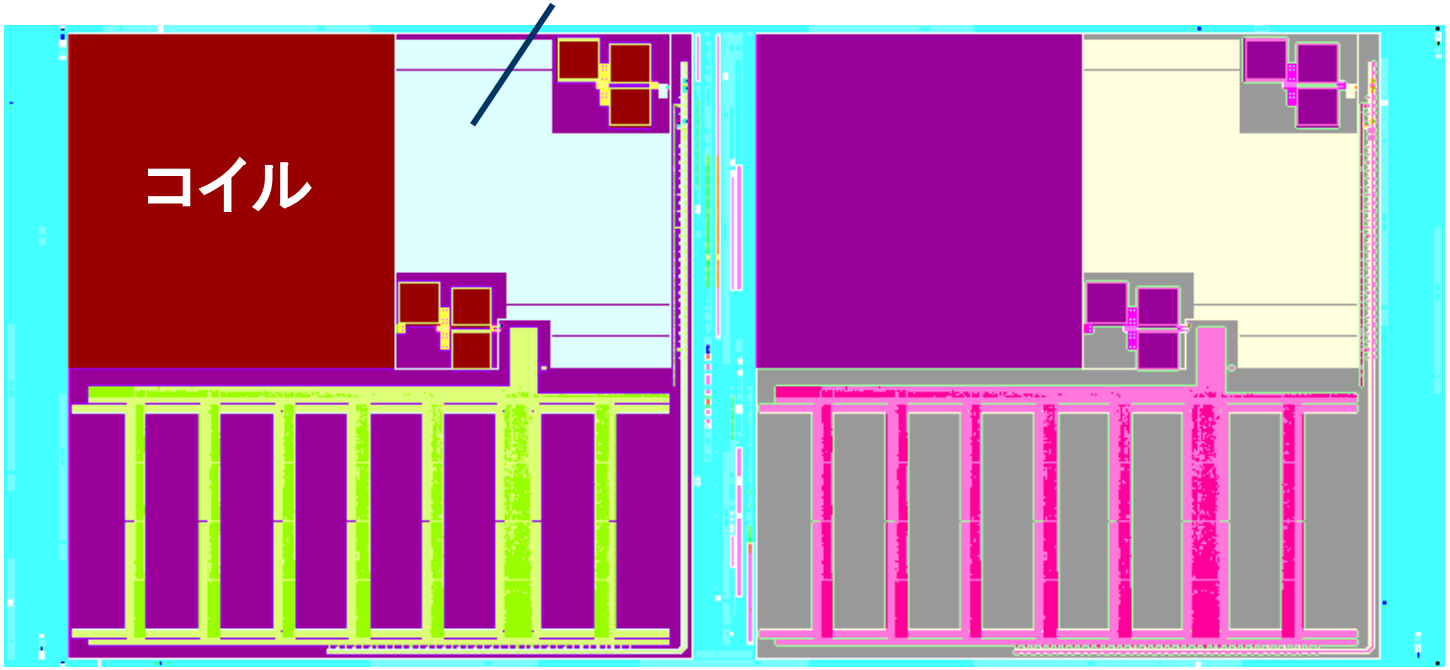
静止画

動画

デジタルロゼッタストーンレイアウト

動画　　静止画

共振・変調回路

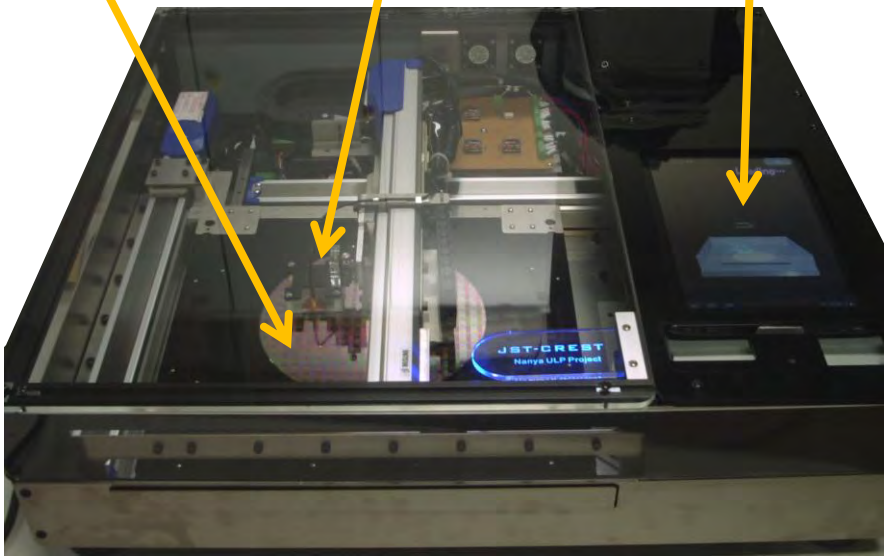


4MB-マスクROM

デジタルロゼッタストーンシステム

ウェーハスケールメモリー

リーダーチップ 動画・静止画再生（4MB）



＊協力会社：シャープ、シャープタカヤ電子工業、HOYA、アイエスディ、電子科学、samco

☞黒田Gで実演

硝酸酸化膜の保護膜への応用の検討

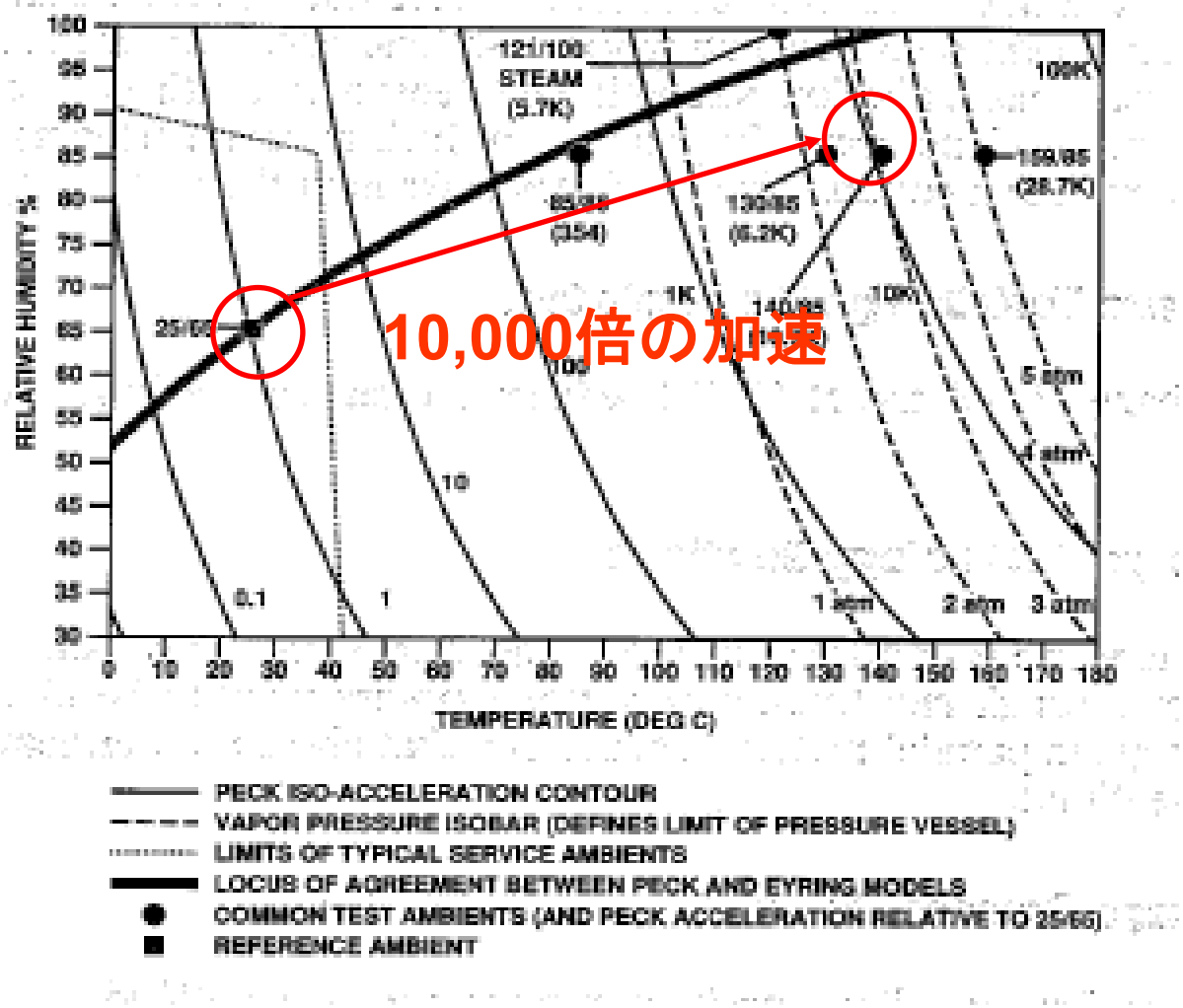
加速耐湿性試験
寿命は以下の式で示される。(Peck model)

$T_f = 1/RH^N \times \exp(E_a/KT)$

RH：相対湿度
N=2.66
E_a=0.79eV

温度25℃、相対湿度65%に対し、温度140℃、相対湿度85%では、寿命は約1/10,000

約4日で100年間の寿命テストが可能



保護膜プロセスフロー

硝酸改質保護膜

- HDP-SiO_2堆積
- NAOS (68wt% HNO_3, @120˚C)
- SiN堆積

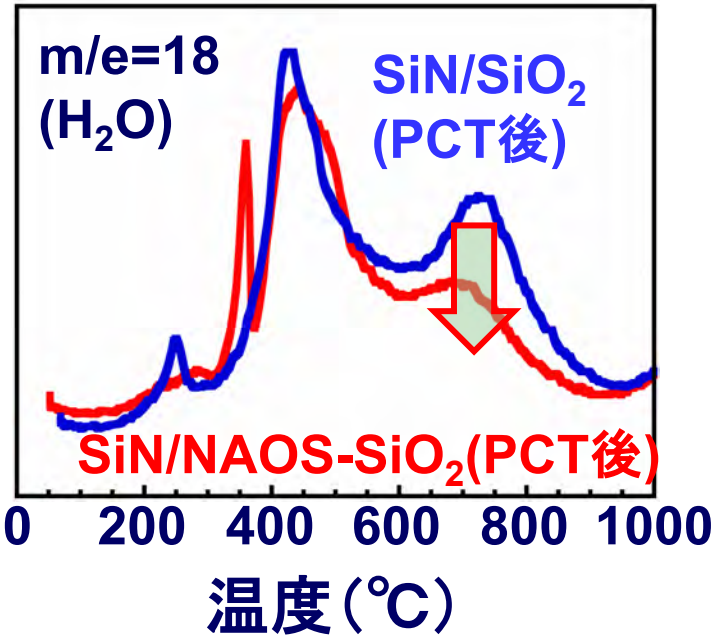
Ref

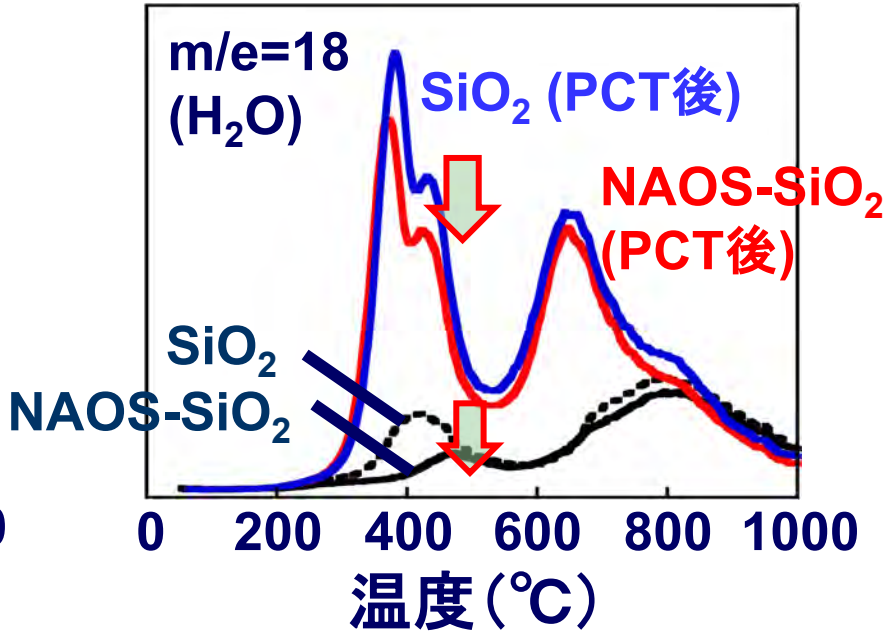
- HDP-SiO_2堆積
- SiN堆積

＊HDP：high density plasma

硝酸酸化保護膜による耐湿性の向上

昇温脱離スペクトル

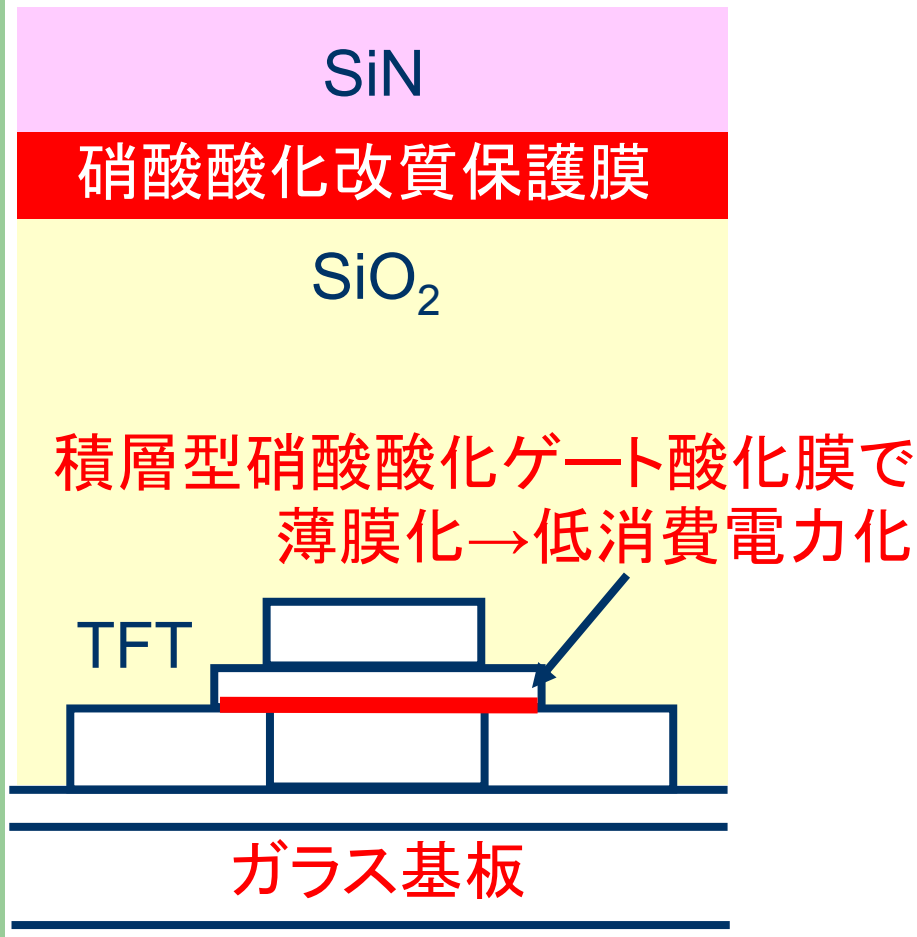




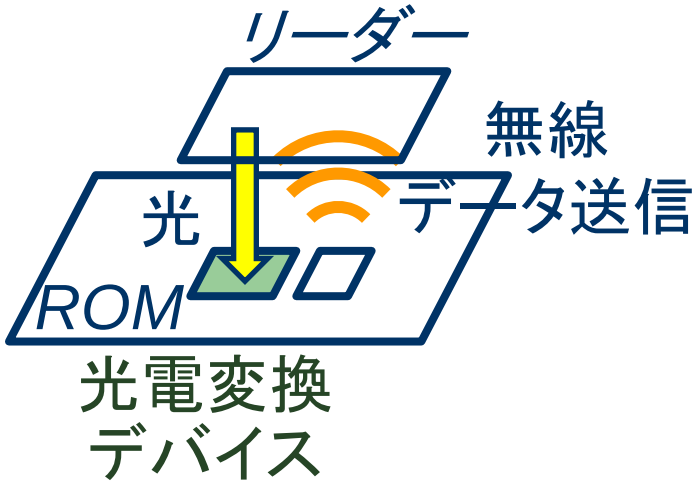
硝酸酸化により、保護膜の耐水性向上
(吸湿量25%↓、脱水効果)

ハードウェア・プロセスの研究・開発

・ガラス基板上ROM



・光電力供給



・マスクレスプロセス

コスト、情報機密性など

システム・ソフトの研究・開発

・高速並列読み込み
・データ崩壊（フォーマットの変遷）の防止
・ブロック分け
・電源回路（特に微細化時）
・積層型メモリによるビッグデータへの対応
・アプリケーションごとのデータのロバストネス
・NAOSゲート酸化膜を用いた超低消費電力回路を活用するシステム……

デモ・ポスター展示

デモ展示

・ 3V駆動LCD（硝酸酸化膜有）
vs. 12V駆動LCD
の消費電力比較

☞市川G

・8 bit CPU+反射型モノクロメモリLCD
vs. FPGA+反射型モノクロメモリLCD
の消費電力比較

☞市川G

・32 bit CPU（硝酸酸化膜有、無）
+反射型カラーメモリLCD
vs. FPGA+反射型カラーメモリLCD
の消費電力比較

☞小林G

・デジタルロゼッタストーン

☞黒田G

ポスター展示

・硝酸酸化法によるCPUのゲート酸化膜薄膜化と低消費電力化

・デジタルロゼッタストーンの将来像と検討課題

・硝酸酸化法を用いたデバイスの将来像と検討課題

・小林研の紹介

☞小林G